

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-023033

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H04N 5/262

G09G 5/00

G09G 5/14

G09G 5/18

H04N 5/45

H04N 5/937

(21)Application number : 10-189521

(71)Applicant : FOR A CO LTD

(22)Date of filing : 03.07.1998

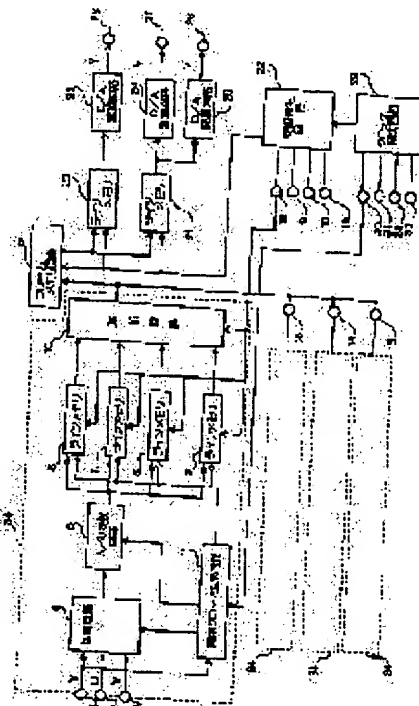
(72)Inventor : IKEDA SHUICHI

(54) SPLIT MULTI-SCREEN DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a split multi-screen display device which performs split display only with a common one-screen frame memory even when plural asynchronous videos are inputted, whose electric circuit is simple with a small number of components and which is at low cost and is small-sized.

SOLUTION: Writing is performed to an N line of plural line memories 6 to 9 of each of plural video input circuits in 1/N clock one time, reading is performed in more than double clock, writing is performed to one common frame memory 12, rereading is performed, writing is performed to output side line memories 20 and 21 and a split multi-screen display standard video signal is made by performing reading in normal clock. Further, a circuit is simplified by making a clock generation circuit 29 common and it is possible to make this device small-sized and inexpensive by facilitating to make a digital circuit an ASIC.



LEGAL STATUS

[Date of request for examination]

28.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3405208

[Date of registration]

07.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-23033

(P2000-23033A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl.'	識別記号	F I	テ-マコ-ト*(参考)
H 0 4 N 5/262		H 0 4 N 5/262	5 C 0 2 3
G 0 9 G 5/00	5 1 0	G 0 9 G 5/00	5 1 0 X 5 C 0 2 5
	5 5 0		5 5 0 P 5 C 0 5 3
			5 5 0 R 5 C 0 8 2
5/14		5/14	A
審査請求 未請求 請求項の数 6 O L (全 10 頁) 最終頁に続く			

(21)出願番号 特願平10-189521

(22)出願日 平成10年7月3日(1998.7.3)

(71)出願人 391040320

株式会社朋栄

東京都渋谷区恵比寿3丁目1番7号

(72)発明者 池田 秀一

千葉県佐倉市大作2丁目3番3号 株式会
社朋栄佐倉研究開発センター内

(74)代理人 100090985

弁理士 村田 幸雄

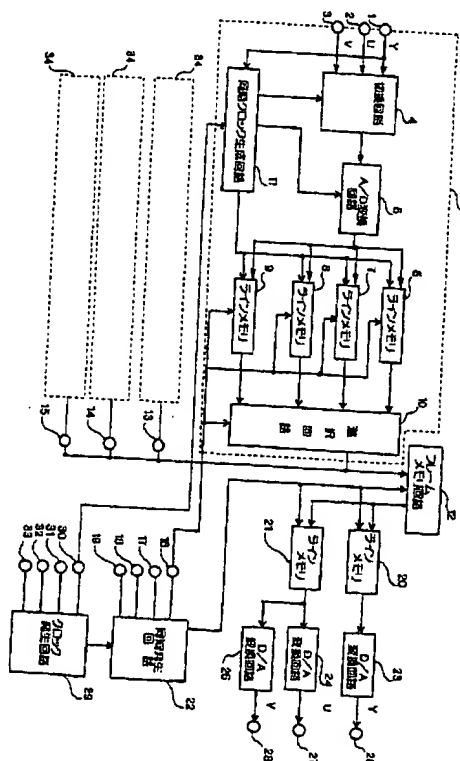
最終頁に続く

(54)【発明の名称】 分割マルチ画面表示装置

(57)【要約】

【課題】複数の非同期映像入力であっても共通の1画面フレームメモリのみで分割表示可能とし、電気回路が簡単で構成部品も少なく、低コスト及び小型の分割マルチ画面表示装置を提供する。

【解決手段】複数の映像入力回路毎の複数のラインメモリに1/Nクロックで、Nラインに1回書き込み、2倍以上のクロックで読みだして1つの共通のフレームメモリに書き込み、再度読み出し出力側ラインメモリに書き込み、通常クロックで読み出す事により分割マルチ画面表示標準映像信号とする。更にクロック発生回路を共通化することにより回路の簡略化を図り、デジタル回路のASIC化を容易にして小型、ローコスト化を可能とした。



【特許請求の範囲】

【請求項 1】複数画像を同一画面に分割表示する分割マルチ画面表示装置において、カラー映像信号入力端子を有する切換回路と、切換回路出力信号をアナログ／デジタル変換する A/D 変換回路と、このデジタル化されたデータを書き込む少なくとも 2 組のラインメモリと、複数のラインメモリ出力の選択回路と、入力映像信号の同期信号でクリア動作してクロックを分周したドットクロックと、メモリ書き込み駆動信号を生成し、ラインメモリとその前段回路に供給する同期クロック生成回路を含む複数の入力映像信号処理回路を有し、該複数の入力映像信号処理回路出力信号による複数画像を同一画面に分割表示するためのフレームメモリ回路を備え、前記それぞれの入力映像信号処理回路内でのラインメモリへの書き込みは、A/D 変換回路から出力された映像信号データをライン単位で間引きして行ない、ラインメモリは 1 組毎に交代して前記 A/D 変換回路のドットクロックを分周した周波数のクロックにより書き込み、それぞれのラインメモリからの読み出し及び前記フレームメモリの書き込みと読み出しは、共通の同期発生回路に基づくドットクロックの 2 倍以上の周波数のクロックを使用し、前記フレームメモリの書き込みにはそれぞれの該入力映像信号処理回路の垂直同期信号に基づくアドレス情報を参照して行うことを特徴とする分割マルチ画面表示装置。

【請求項 2】複数画像を同一画面に分割表示する分割マルチ画面表示装置において、白黒映像信号入力端子と、映像入力信号をアナログ／デジタル変換する A/D 変換回路と、このデジタル化されたデータを書き込む少なくとも 2 組のラインメモリと、複数のラインメモリ出力の選択回路と、入力映像信号の同期信号でクリア動作してクロックを分周したドットクロックと、メモリ書き込み駆動信号を生成し、ラインメモリとその前段回路に供給する同期クロック生成回路を含む複数の入力映像信号処理回路を有し、該複数の入力映像信号処理回路出力信号による複数画像を同一画面に分割表示するためのフレームメモリ回路を備え、前記それぞれの入力映像信号処理回路内でのラインメモリへの書き込みは、A/D 変換回路から出力された映像信号データをライン単位で間引きして行ない、ラインメモリは 1 組毎に交代して前記 A/D 変換回路のドットクロックを分周した周波数のクロックにより書き込み、それぞれのラインメモリからの読み出し及び前記フレームメモリの書き込みと読み出しは、共通の同期発生回路に基づくドットクロックの 2 倍以上の周波数のクロックを使用し、前記フレームメモリの書き込みにはそれぞれの該入力映像信号処理回路の垂直同期信号に基づくアドレス情報を参照して行うことを特徴とする分割マルチ画面表示装置。

【請求項 3】請求項 1 又は 2 に記載の入力映像信号処理回路に使用する全てのクロックは共通のクロック発生回

路によるクロックに基づき、それぞれの A/D 変換回路のドットクロックは前記クロックをそれぞれの A/D 変換回路に対応する入力映像信号による水平同期信号の位相を参照して整数分周したものであることを特徴とする請求項 1 又は 2 のいずれか 1 項に記載の分割マルチ画面表示装置。

【請求項 4】請求項 1 又は 2 において、それぞれ 2 以上の整数 N の 2 乗数の分割マルチ画面表示装置に関しては、前記映像信号データをライン単位で間引き縮小する書き込みはそれぞれ N ライン毎に 1 回書き込むことによる間引きであり、また前記ドットクロックを分周した周波数のクロックによる間引き縮小する書き込みは、それぞれドットクロックを $1/N$ に分周した周波数のクロックであることを特徴とした請求項 1～3 のいずれか 1 項に記載の分割マルチ画面表示装置。

【請求項 5】請求項 1 又は 2 の前記フレームメモリより読み出したデータの処理回路にラインメモリを備え、該ラインメモリの書き込みはドットクロックの 2 倍以上、読み出しはドットクロックと同等の周波数のクロックで行うことを特徴とする請求項 1～4 のいずれか 1 項に記載の分割マルチ画面表示装置。

【請求項 6】請求項 1 又は 2 の前記フレームメモリは、シングルポートのシンクロナス DRAM であることを特徴とする請求項 1～5 のいずれか 1 項に記載の分割マルチ画面表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はテレビジョンにおける画像の合成表示装置に係り、複数の非同期映像信号による画像を一つのテレビジョン画面に分割表示する分割マルチ画面表示装置に関する。

【0002】

【従来の技術】テレビジョンの画面を分割してマルチ表示させる分割マルチ画面表示装置は設置場所をとらない、複数画面を同時に見れる、経済的ななどの特徴により監視装置などの表示装置として利用されており、その分割数はアスペクト比の関係から通常 4, 9, 16 など N の 2 乗に基づく分割が多い。監視システムなどでは外部同期機能をもたない汎用テレビジョンカメラの使用が多く、各々の映像信号は非同期なので分割マルチ画面表示装置において非同期信号に対する同期化処理を行う必要がある。映像入力が互いに非同期の場合は、このままでは正常な書き込みはできず、4 入力各回路にフレームメモリを設けて、共通の同期に基づく読みだしを行うことによって同期化を行っている。

【0003】従来の非同期映像信号入力対応の 4 分割マルチ画面表示装置の従来例のブロック図図 5 により説明する。図 5 において、1～3 は映像入力端子、4 は切換回路、5 は A/D 変換回路、37 はフレームメモリ回路、23～25 は D/A 変換回路、26～28 は映像出

力端子、38は同期回路、39はクロック発生回路、40～42はフレームメモリ接続点、43は同期発生回路、44～47は同期信号出力端子、48は入力映像信号処理回路である。NTSC、PAL方式等のカラー複合映像信号の場合はY（輝度信号）／C（色信号）分離を行ない、このC（色信号）はさらにクロマデコードによりU（B-Y）とV（R-Y）との2つの色差信号に復調してからA/D（アナログ→デジタル）変換等のデジタル処理が行われる。前記Y、U、V信号はそれぞれ映像入力端子1～3より入力し、切換回路4に接続されてY、U、Vの順にドットクロック単位で時分割により切換え出力し、前記ドットクロック単位でサンプリングされてA/D変換回路5によりデジタルデータに変換される。この状態でYの画素データは1/2に、U、Vデータはそれぞれ1/4に間引きされたことになり、4分割画面における水平方向の1/2縮小画面の画素データとしてこのままで適当であるが、従来装置の多くは回路の簡易化のためにデータを更に1/2に間引くこともあり、したがってこの場合は水平解像度が劣化することになる。

【0004】A/D変換回路5の出力デジタルデータは前記のように間引きされたものであるが、垂直方向についても1水平同期期間すなわち1ライン毎に間引きしてフレームメモリ回路37に書き込まれる。切換回路4からフレームメモリ回路37の書き込みに至る回路動作に必要な同期パルス及びクロックは、映像入力端子1のY信号より分離した同期信号に基づいて同期回路38及びクロック発生回路39で生成され、このクロックはH同期信号の位相制御によるVCO (Voltage Controlled Oscillator) 又はPLL (Phase Locked Loop) 回路等により発生して各回路に供給される。前記した回路構成は4チャンネルが必要であり、他の3チャンネルのフレームメモリ回路のデータ読み出し出力はそれぞれ接続点40～42を介してデータバスとしてフレームメモリ回路37のデータ読み出し出力と並列に接続される。それぞれのフレームメモリ回路からのデータ読み出し及びそれ以降の回路に使用されるクロック及びこれに基づく同期パルス、メモリアドレス等の信号は同期発生回路43により生成される。

【0005】フレームメモリ回路37におけるデータの読み出しのためのクロック、同期パルス等は共通の同期発生回路43より接続点44を通じて供給され、同様に他の3チャンネルのフレームメモリ回路に対しても接続点45～47を通じて供給され、それぞれのフレームメモリの画像データを4分割の各画面の表示アドレスに応じて切換えて読み出すことにより4分割マルチ画面の映像信号となる。各フレームメモリ回路37より読み出されたデータは、Y、U、Vのそれぞれのデータに対応した同期発生回路43によるクロック及びD/A（デジタル→アナログ）変換回路23～25によってそれぞれ

Y、U、V信号別のアナログ信号に変換されて、それぞれ映像出力端子26～28を介して出力される。通常、これらの出力はサブキャリア変調回路等公知の回路手段により、NTSC又はPAL等のカラー複合映像信号に変換された4分割マルチ画面の映像信号として出力される。

【0006】

【発明が解決しようとする課題】従来装置は入力の数4、9、16等と多いにもかかわらず、それぞれの入力に対して前述のようにA/D変換回路、同期回路、クロック発生回路、フレームメモリ回路等が必要であって部品数が多くなり小型化、ローコスト化に限界があった。複数の映像入力及び映像出力回路はそれぞれにクロック発生回路があり、異種のクロックの混在によりその干渉による出力画像のジッタの弊害があった。また、各入力毎のフレームメモリの容量は画面分割数に反比例した容量でよい筈であるが、汎用フレームメモリICは標準のテレビジョン画像処理用であって標準の画面は例えば2チップで構成されるなどにより、実際の回路構成には必ずしも必要最小限のメモリ容量とならずに効率が悪い。

【0007】更に、前述のように回路の簡易化のために画素データを過剰に間引きすることにより水平解像度が劣化する場合が多い。しかし、共通の一画面フレームメモリとする方法は電気回路が複雑であって構成部品が多く、コスト及び製品の大きさ等の制約により従来は実施が困難であった。以上説明した現状に鑑み、本発明は複数の非同期映像入力であっても一つのフレームメモリのみで分割表示を可能とし、更にクロック発生回路を共通化することにより回路の簡略化を図り、デジタル回路のASIC (Application Specific Integrated Circuit) 化を容易にすることにより小型、ローコスト化した分割マルチ画面表示装置を提供する。

【0008】

【課題を解決するための手段】本発明者は、上記に鑑み鋭意研究の結果、次の手段により課題を解決した。

(1) 複数画像を同一画面に分割表示する分割マルチ画面表示装置において、カラー映像信号入力端子を有する切換回路と、切換回路出力信号をアナログ/デジタル変換するA/D変換回路と、このデジタル化されたデータを書き込む少なくとも2組のラインメモリと、複数のラインメモリ出力の選択回路と、入力映像信号の同期信号でクリア動作してクロックを分周したドットクロックと、メモリ書き込み駆動信号を生成し、ラインメモリとその前段回路に供給する同期クロック生成回路を含む複数の入力映像信号処理回路を有し、該複数の入力映像信号処理回路出力信号による複数画像を同一画面に分割表示するためのフレームメモリ回路を備え、前記それぞれの入力映像信号処理回路内でのラインメモリへの書き込みは、A/D変換回路から出力された映像信号データをライン単位で間引きして行ない、ラインメモリは1組毎

に交代して前記A/D変換回路のドットクロックを分周した周波数のクロックにより書き込み、それぞれのラインメモリからの読み出し及び前記フレームメモリの書き込みと読み出しは、共通の同期発生回路に基づくドットクロックの2倍以上の周波数のクロックを使用し、前記フレームメモリの書き込みにはそれぞれの該入力映像信号処理回路の垂直同期信号に基づくアドレス情報を参照して行うことを特徴とする分割マルチ画面表示装置。

【0009】(2) 複数画像を同一画面に分割表示する分割マルチ画面表示装置において、白黒映像信号入力端子と、映像入力信号をアナログ/デジタル変換するA/D変換回路と、このデジタル化されたデータを書き込む少なくとも2組のラインメモリと、複数のラインメモリ出力の選択回路と、入力映像信号の同期信号でクリア動作してクロックを分周したドットクロックと、メモリ書き込み駆動信号を生成し、ラインメモリとその前段回路に供給する同期クロック生成回路を含む複数の入力映像信号処理回路を有し、該複数の入力映像信号処理回路出力信号による複数画像を同一画面に分割表示するためのフレームメモリ回路を備え、前記それぞれの入力映像信号処理回路内でのラインメモリへの書き込みは、A/D変換回路から出力された映像信号データをライン単位で間引きして行ない、ラインメモリは1組毎に交代して前記A/D変換回路のドットクロックを分周した周波数のクロックにより書き込み、それぞれのラインメモリからの読み出し及び前記フレームメモリの書き込みと読み出しは、共通の同期発生回路に基づくドットクロックの2倍以上の周波数のクロックを使用し、前記フレームメモリの書き込みにはそれぞれの該入力映像信号処理回路の垂直同期信号に基づくアドレス情報を参照して行うことを特徴とする分割マルチ画面表示装置。

(3) (1) 又は(2) 項に記載の入力映像信号処理回路に使用する全てのクロックは共通のクロック発生回路によるクロックに基づき、それぞれのA/D変換回路のドットクロックは前記クロックをそれぞれのA/D変換回路に対応する入力映像信号による水平同期信号の位相を参照して整数分周したものであることを特徴とする

(1) 又は(2) 項のいずれか1 項に記載の分割マルチ画面表示装置。

【0010】(4) (1) 又は(2) 項において、それぞれ2 以上の整数Nの2乗数の分割マルチ画面表示装置に関しては、前記映像信号データをライン単位で間引き縮小する書き込みはそれぞれNライン毎に1 回書き込むことによる間引きであり、また前記ドットクロックを分周した周波数のクロックによる間引き縮小する書き込みは、それぞれドットクロックを1/Nに分周した周波数のクロックであることを特徴とした(1) ～(3) 項のいずれか1 項に記載の分割マルチ画面表示装置。

(5) (1) 又は(2) 項の前記フレームメモリより読み出したデータの処理回路にラインメモリを備え、該ラ

インメモリの書き込みはドットクロックの2倍以上、読み出しはドットクロックと同等の周波数のクロックで行うことを特徴とする(1) ～(4) 項のいずれか1 項に記載の分割マルチ画面表示装置。

(6) (1) 又は(2) 項の前記フレームメモリは、シングルポートのシンクロナスDRAMであることを特徴とする(1) ～(5) 項のいずれか1 項に記載の分割マルチ画面表示装置。

【0011】

【発明の実施の形態】本発明はシンクロナスDRAM (Dynamic Random Access Memory)等を使用した共通の一組のフレームメモリのみを使用し、非同期の各入力映像信号の該フレームメモリへの書き込みに伴う水平同期タイミングの違いは、各入力映像信号処理回路の回路毎に備えたFIFO (First In First Out)メモリなどを利用したラインメモリにより吸収させる手段を用いている。このラインメモリはASICの中に構成することが可能である。複数の非同期映像信号の同期関係は水平同期のレートでみれば最大で1ライン(1水平同期期間)のずれがあることになるが、映像信号は例えば4分割マルチ画面の場合は画面を1/2に縮小するために1ライン毎に間引きするので、1ライン毎に1水平同期期間の空き時間があることになり、この間を利用して同期のずれを吸収することができる。

【0012】すなわち、前記非同期の映像信号データをラインメモリに書き込み、共通の同期信号に基づいて同期読み出しを行なうことにより複数の非同期映像信号データの水平同期レートでの同期化が可能である。図3の例のような4分割マルチ画面に基づくA、B、C、Dの各画像が白黒映像信号である場合のタイミング図について図4により説明する。図4ー(1)はA、B、C、Dの各画像の非同期の入力映像信号データの水平同期信号レートでのタイミング図の一例であり、1A、2A、3A・・・の数字は水平走査の順番を示す。前記各映像信号データは1ライン毎に間引かれ、即ち2ライン毎に1回の割合のデータとし、このデータは図4ー(2)のそれぞれ2つのラインメモリ1、2の書き込みタイミング図に示すように交互に書き込まれる。

【0013】この書き込みは前記各映像信号に共通のクロックが使用され、ドットクロックの1/2の周波数のクロックで書き込まれ、これにより画素データは水平、垂直とも1/2に間引き縮小されたことになる。なお、9又は16分割マルチ画面の場合は前記各映像信号データはそれぞれ3又は4ライン毎に1回の割合で前記2つのラインメモリに交互に書き込まれ、また書き込みクロックはそれぞれドットクロックの1/3又は1/4の周波数のクロックで書き込むものとする。

【0014】これらのラインメモリの読み出し、及びフレームメモリの書き込み読み出しは共通の同期回路に基づくタイミング及びドットクロックの2倍の周波数のク

10

20

30

40

50

ロック（以降は2倍速クロックと記載する）により行われ、したがってラインメモリの読み出しデータは水平同期レートで同期化されて図4-（3）に示すようなタイミングで、時間的には1/4に圧縮されてフレームメモリに書き込まれる。シングルポートのフレームメモリは書き込みと読み出しは同時にできないので前記2倍速クロックにより処理時間が半分となることにより等価的に実時間での書き込み読み出し処理が可能であり、また書き込み際に各映像信号の垂直同期情報を参照して書き込みメモリアドレスが生成されることにより、分割画面のそれぞれ所定の位置に各映像信号画面を表示することが可能である。フレームメモリからのデータの読み出しは図4-（3）の空白部分のタイミングで2倍速クロックで行われ、一旦ラインメモリに書き込まれる。

【0015】このラインメモリのデータを通常速度のクロックで読み出すことにより実時間レートのデータとなり、D/A変換することにより図3に示すように分割マルチ画面のA、B及びC、Dの部分に対応した映像信号が得られる。前述では白黒映像信号の場合について説明したが、NTSC、PAL方式等の複合カラー映像信号による4分割マルチ画面の場合は輝度信号Yと色差信号U、VはY、U、Y、Vの順にドットクロック単位で切替えてサンプリングしA/D変換するので、この状態でYの画素データは1/2に間引き縮小されたものであり、Yデータに関して前記白黒映像信号の場合と等価である。即ち、白黒映像信号の場合に間引きされて不要となる画素データの部分にU、Vの画素データが存在し、クロックを1つずらして前記のように間引き処理すればU、Vデータのみが選択されることになり、U及びVデータがそれぞれ1/4に間引きされることになる。

【0016】従って、カラー映像信号の場合もメモリ回路についての処理は前記白黒映像回路に2つのラインメモリを加えて同様に処理ができ、Yデータ用とU、Vデータ用それぞれの前記ラインメモリにドットクロックの1/2の周波数のクロックで書き込めばよく、白黒映像信号の場合と同様の説明となる。本発明による装置は前記一画面分のフレームメモリのためのコントロール回路を含めてA/D変換からD/A変換に至るデジタル処理回路をASIC化することが可能となる。従って、各映像入力毎のフレームメモリを排除して一組のみとし、また同様に各映像入力毎に備えた位相制御VCO等によるクロック発生回路を排除して共通の一組の簡単なクロック発生回路とすることで異種クロックの混在によるジッタを排除するとともに小型化を実現し、低コストの分割マルチ画面表示装置を提供することが出来る。

【0017】

【実施例】以下本発明の分割マルチ画面表示装置の構成及び作用を図に基いて説明する。図1は本発明の実施例のブロック図、図2はクロックの分周に係るブロック図、図3は4分割マルチ画面図、図4は白黒映像信号で

ある場合のタイミング図である。図1及び図2において、1～3は映像入力端子、4は切換回路、5はA/D変換回路、6～9はラインメモリ、10は選択回路、11は同期クロック生成回路、12はフレームメモリ回路、13～15は選択回路接続点、16～19は同期信号出力端子、20、21はラインメモリ、22は同期発生回路、23～25はD/A変換回路、26～28は映像出力端子、29はクロック発生回路、30～33はクロック出力端子、34は入力映像信号処理回路、35は同期カウンタ、36はクロック生成回路を示す。映像入力信号がNTSC、PAL方式等の複合カラー信号の場合は、Y/C分離及びクロマデコードにより輝度信号Y及び色差信号U（B-Y）、V（R-Y）とに復調されてそれぞれ映像入力端子1～3に接続され、切換回路4によりドットクロック単位でY、U、Y、Vの順に時分割により切替えられ、前記ドットクロック単位でサンプリングされてA/D変換回路5によりデジタルデータに変換される。

【0018】この状態で画像の水平方向におけるYの画素データは1/2に、U及びVはそれぞれ1/4に間引きされたことになるが、U及びVは色差信号であって周波数帯域は狭くてよいのでこの間引き率で良いものとし、このデジタルデータはさらに1ライン毎に間引きされ、すなわち2ライン毎に1回の割合でFIFO等のラインメモリ6～9に書き込まれる。ラインメモリ6及び7には、前記Y、U、Y、Vの順のデジタルデータの内Yデータのみがドットクロックの1/2周波数のクロックによって、1ライン分のデータ毎に交互に書き込まれる。同様にラインメモリ8及び9にはU、V、U、Vの順の1ライン分の色差信号のデータのみが前記クロックにより交互に書き込まれる。同期クロック生成回路11は、映像入力端子1のY信号を入力して分離した同期信号に基づいて水平同期パルス等を生成し、また水晶発振器等によるクロック発生回路29よりクロック出力端子30を介して入力されるクロックを分周してドットクロック等を生成し、これらは切換回路4からラインメモリ6～9の書き込み動作に至るまでの回路動作のために接続使用される。

【0019】従来、ドットクロックと映像入力信号とが非同期的場合は、これをA/D変換して出力側で同期信号に基づいて同期したドットクロックでD/A変換すると、出力映像信号に1ドットクロック分のジッタが発生して使用に耐えない。本発明ではこの欠点を改良して複数の映像入力及び映像出力側に共通のクロック発生器に基づくクロックを使用することによりコストダウンを図るとともに、それぞれに異なったクロックを使用した場合のクロック間の干渉による弊害を排除することができる。同期クロック生成回路11のクロック分周について、クロックの分周に係るブロック図図2により説明すると、例えばドットクロックの4倍周波数のクロック入

力は、同期カウンタ 35 に入力して水平同期パルスによりクリア動作しながら 4 分周されてドットクロックとなる。

【0020】したがって前記ドットクロックのジッタは 4 倍周波数クロックの 1 クロック期間以内であり前記従来の場合の $1/4$ となって、この程度のジッタは本装置においては差し支えないものであり、クロック生成回路 36 により各種クロックとして生成され同期クロック生成回路 11 の出力となる。なお、前述したように 9 又は 16 分割マルチ画面の場合は、前記デジタルデータはそれぞれ 3 又は 4 ライン毎に 1 回の割合で 2 つのラインメモリに交互に書き込まれ、また書き込みクロックはそれぞれ該ドットクロックの $1/3$ 又は $1/4$ の周波数のクロックで書き込むものとする。図 1 のラインメモリ 6 ~ 9 の読み出しデータは、選択回路 10 で選択切換されてフレームメモリ回路 12 の 4 画面分のアドレス内の所定の場所へ書き込まれ、垂直書き込みアドレスは同期クロック生成回路 11 による垂直同期信号を参照して生成される。4 分割マルチ画面では映像入力端子 1 ~ 3 又は該端子以前の映像信号処理回路から選択回路 10、同期クロック生成回路 11 に至る同様の回路構成が 4 チャンネル必要であり、選択回路 10 の出力と前記の他の 3 チャンネルの選択回路のデータ出力は、それぞれ選択回路接続点 13 ~ 15 を介してデータバスとして並列に接続され、フレームメモリ回路 12 の各分割マルチ画面に相当する所定のアドレスに所定の画像データが書き込まれるように制御される。

【0021】前記 4 チャンネルの構成回路における各チャンネルのラインメモリからの読み出し及びフレームメモリ回路 12 の書き込み、読み出しはクロック発生回路 29 のクロックに基づいて同期発生回路 22 で生成されるドットクロックの 2 倍の周波数のクロック及びこれに基づく同期パルス、アドレス信号等により行われ、これらは同期信号出力端子 16 ~ 19 を介して各チャンネルに接続される。同様にクロック発生回路 29 によるクロックは端子 30 ~ 33 を介して各チャンネルに接続される。フレームメモリ回路 12 より読み出されたデジタルデータの内、Y データはラインメモリ 20 に、U、V データはラインメモリ 21 に前記 2 倍速クロックで書き込まれ、読み出しは通常速度のクロックで行なわれて、それぞれ Y、U、V に対応した D/A 変換回路 23 ~ 25 によりアナログ信号となる。

【0022】これらの Y、U、V のアナログ信号はそれぞれ映像出力端子 26 ~ 28 を経由して出力され、通常はサブキャリア変調回路、複合回路等の公知の回路手段により NTSC 又は PAL 方式等のカラー複合映像信号に変換されてテレビジョンモニタ等に 4 分割マルチ画面として表示される。図 1 の A/D 変換回路 5 から D/A 変換回路 23 ~ 25 に至るフレームメモリ回路 12 を除くデジタル回路構成の殆どは ASIC 化が可能であり本

発明による装置の小型、ローコスト化を可能とするものである。前述したような画像信号データの間引き縮小処理にあたり、ラインメモリ等を利用して垂直補間フィルタを形成し付加することにより間引きに伴う画質劣化を補正することも可能である。

【0023】

【発明の効果】本発明によれば、次のような効果が発揮される。

1. 本発明の請求項 1 及び 2 項の発明によれば、シンクロナス DRAM 等を使用した共通の 1 組のフレームメモリのみを使用し、非同期の各入力映像信号の該フレームメモリへの書き込みに伴う水平同期タイミングの違いは、各入力映像信号処理回路の回路毎に 2 組（カラー信号の場合は 4 組）備えた FIFO メモリなどを利用したラインメモリにより吸収させる手段を用いている。また、それぞれのラインメモリからの読み出し及びフレームメモリの書き込みと読み出しは、共通の同期回路に基づくドットクロックの 2 倍以上の周波数の高速クロックを使用している。フレームメモリの書き込みにはそれぞれの該入力映像信号処理回路の垂直同期情報を参照して書き込み、メモリアドレスが生成されることにより、分割画面のそれぞれ所定の位置に各映像信号画面を表示することを可能にした。各入力映像信号処理回路の複数のラインメモリと、共通の 1 組のフレームメモリを高速のクロックを使用して読みだし書き込みを行うことによって、回路を簡略化し、デジタル回路の ASIC 化を容易にすることにより、小型、ローコスト化された分割マルチ画面表示装置を実現出来る。

2. 本発明の請求項 3 の発明によれば、従来は、非同期の複数の入力映像信号を同期化するため、入力及び出力回路のフレームメモリ等デジタル回路にはそれぞれにクロック回路を必要とし、異種のクロックの混在のため、干渉による出力画像のジッタの弊害があった。本発明では、映像信号処理回路に使用する全てのクロックは共通のクロック発生回路から供給し、更に入力映像信号の水平同期信号の位相を参照して整数分周、同期化しているため、ジッタ等干渉は全く生じない。また、それぞれの回路に存在したクロック回路が不要となるためコストダウンが図れる。

【0024】3. 本発明の請求項 4 の発明によれば、本発明では、一つの共通なフレームメモリのみで、N ライン毎に 1 回書き込みによる間引きと、ドットクロックを $1/N$ に分周したクロックによる間引き書き込みによる垂直及び水平方向の間引き率を変えることによって、4、9 及び 16 分割等、N の 2 乗分割画面に対応することができる。

4. 本発明の請求項 5 の発明によれば、前述のとおり、各入力映像信号処理回路の回路毎に備えたラインメモリからの読み出し及びフレームメモリの書き込みと読み出しは、共通の同期回路に基づくドットクロックの 2 倍以

上の周波数のクロックを使用している。2倍速でフレームメモリから読み出したデータは、更に出力側のラインメモリへ2倍速で書き込むが、読み出し時は通常速度のクロックで読み出すことにより実時間レートのデータとなり、D/A変換することにより標準のテレビジョン信号となって画面表示出来る。

5. 本発明の請求項6の発明によれば、本発明で使用する複数入力映像信号に共通で単一のフレームメモリは、シングルポートのシンクロナスDRAMで、高速データ転送、外部クロック同期機能等を持っており、本発明の2倍速書き込み、読みだし技術と、単一のクロック信号による全回路同期制御を行うことが可能となった。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図。

【図2】クロックの分周に係るブロック図。

【図3】4分割マルチ画面図。

【図4】白黒映像信号である場合のタイミング図。

【図5】4分割マルチ画面表示装置の従来例のブロック図。

【符号の説明】

1～3：映像入力端子

4：切換回路

5：A/D変換回路

6～9：ラインメモ

リ

10：選択回路

生成回路

12：フレームメモリ回路

路接続点

16～19：同期信号出力端子

メモリ

22：同期発生回路

変換回路

26～28：映像出力端子

回路

30～33：クロック出力端子

処理回路

35：同期カウンタ

回路

37：フレームメモリ回路

39：クロック発生回路

メモリ接続点

43：同期発生回路

号出力端子

48：入力映像信号処理回路

11：同期クロック

13～15：選択回

路接続点

20、21：ライン

メモリ

23～25：D/A

変換回路

29：クロック発生

回路

34：入力映像信号

処理回路

36：クロック生成

回路

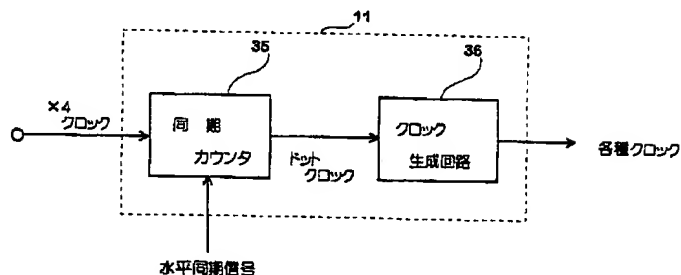
38：同期回路

40～42：フレー

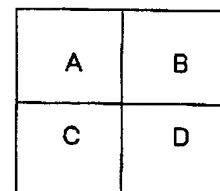
ムメモリ接続点

44～47：同期信

【図2】

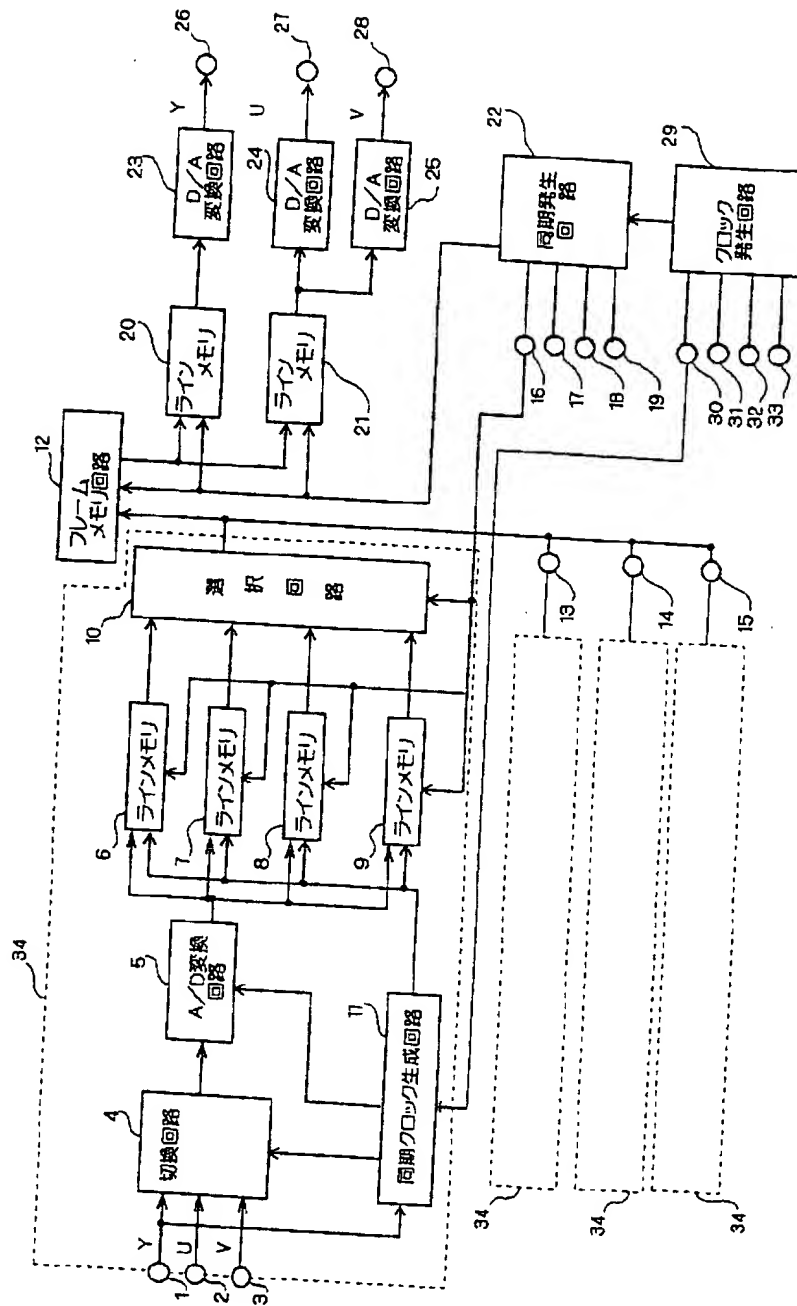


【図3】

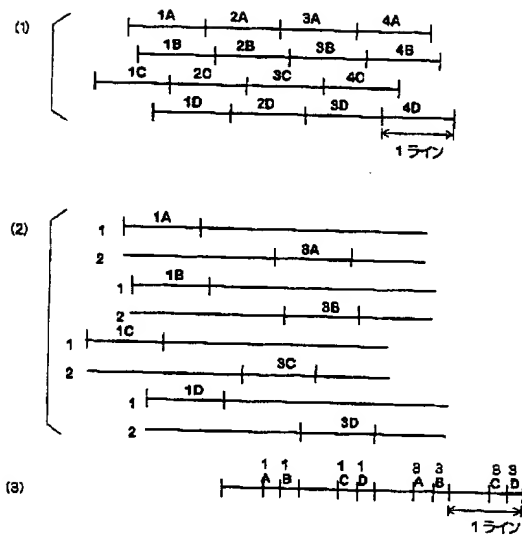


4分割マルチ画面

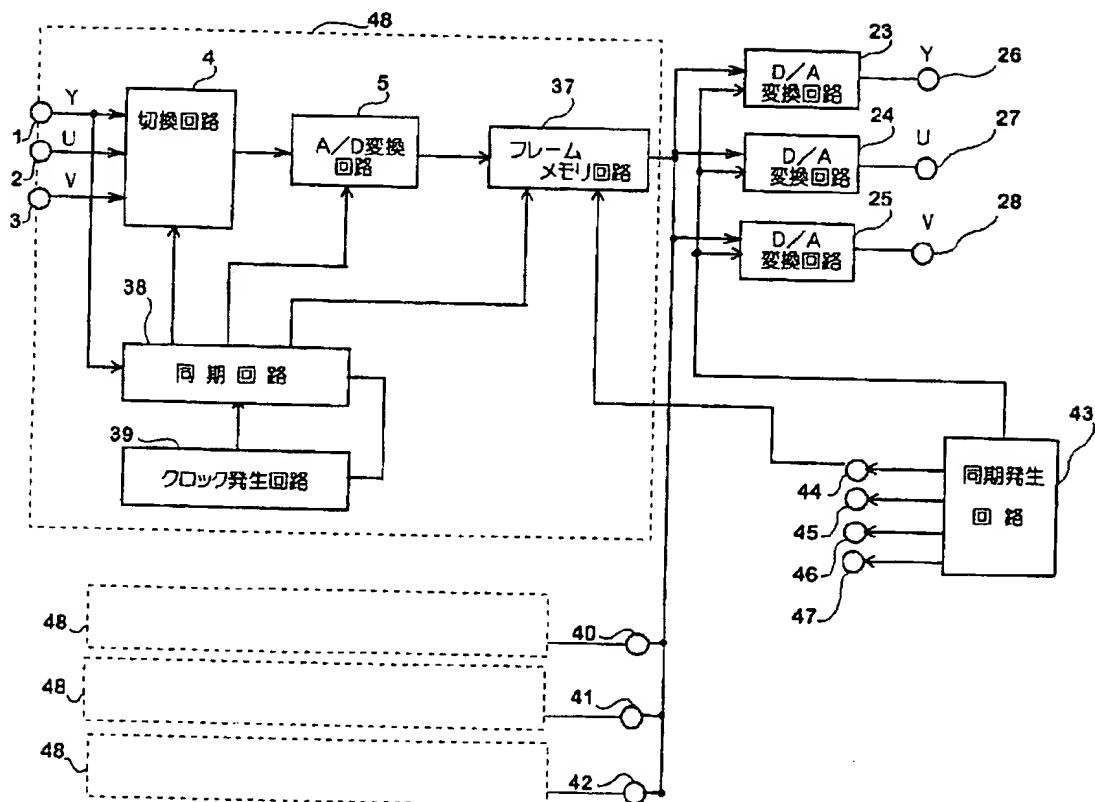
【図 1】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 G	5/18	G 0 9 G	5/18
H 0 4 N	5/45	H 0 4 N	5/45
	5/937		5/93

C

F ターム (参考)

5C023	AA14	AA38	BA09	CA01	DA04
5C025	BA05	BA27	BA28	CB10	DA10
5C053	FA06	KA06	KA07	KA08	KA18
	KA25	LA06			
5C082	AA02	AA12	AA27	BA41	BB15
	BC03	CA34	CA55	CA64	CB01
	DA54	DA76	MM04	MM07	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.